

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164497
 (43)Date of publication of application : 07.06.2002

(51)Int.Cl. H01L 23/50

(21)Application number : 2000-362550 (71)Applicant : HITACHI LTD
 HITACHI HOKKAI
 SEMICONDUCTOR LTD

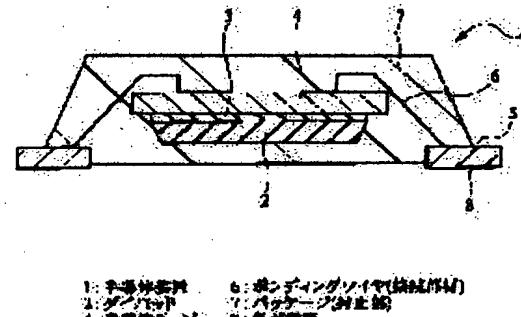
(22)Date of filing : 29.11.2000 (72)Inventor : TANAKA SHIGEKI

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability by preventing a package crack even if a encapsulation resin and a die pad are delaminated.

SOLUTION: A die pad 2 formed in a P-VQFN semiconductor device has a surface area of an opposite surface to a chip mounting surface, that is an encapsulation resin adherence surface, smaller than a surface area of a mounting surface where a semiconductor chip 4 is mounted and the side surfaces of four sides in the die pad have inclinations respectively. It is possible to disperse the stress and prevent generation of cracks reaching to the surface of the package 7 by the inclinations of the side surface even if the die pad 2 expands or shrinks.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-164497

(P2002-164497A)

(43)公開日 平成14年6月7日 (2002.6.7)

(51)Int.Cl.⁷

H 0 1 L 23/50

識別記号

F I

H 0 1 L 23/50

テ-マコト⁸(参考)

U 5 F 0 6 7

G

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21)出願番号 特願2000-362550(P2000-362550)

(22)出願日 平成12年11月29日 (2000.11.29)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71)出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72)発明者 田中 茂樹

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74)代理人 100080001

弁理士 筒井 大和

F ターム(参考) 5F067 AA01 AA04 AA07 AB03 AB04
BD05 BE02 DA16 DE09 DF16

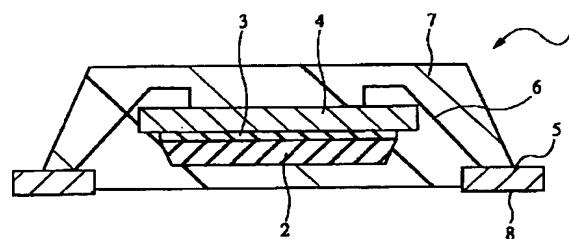
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 モールド樹脂とダイパッドとが剥離することにより、信頼性を向上させる。

【解決手段】 P-VQFN形の半導体装置1に設けられたダイパッド2は、半導体チップ4が搭載される搭載面の表面積よりも、該搭載面の反対面、すなわち封止樹脂密着面の表面積が小さくなってしまっており、該ダイパッドにおける4辺の側面にそれぞれ傾斜がつくように形成されている。この側面の傾斜によってダイパッド2が膨張あるいは収縮しても、その応力を分散することができ、パッケージ7の表面にいたるクラックを防止することができる。

図 3



1:半導体装置 6:ボンディングワイヤ(接続部材)
2:ダイパッド 7:パッケージ(封止部)
4:半導体チップ 8:外部電極

【特許請求の範囲】

【請求項1】 表面上に表面電極が形成された半導体チップと、前記半導体チップを搭載する四角形状のダイパッドと、前記ダイパッドの周縁を囲むように配置され、前記半導体チップの表面電極と接続部材を介して接続される複数の電極部と、前記複数の電極部、前記半導体チップ、前記ダイパッド、ならびに前記接続部材を封止する封止部とからなる半導体装置であって、前記半導体チップを搭載する前記ダイパッドの搭載面の表面積が、反対側の他の主面の表面積よりも大きいことを特徴とする半導体装置。

【請求項2】 表面上に表面電極が形成された半導体チップと、前記半導体チップを搭載する四角形状のダイパッドと、前記ダイパッドの周縁を囲むように配置され、前記半導体チップの表面電極と接続部材を介して接続される複数の電極部と、前記複数の電極部、前記半導体チップ、前記ダイパッド、ならびに前記接続部材を封止する封止部とからなる半導体装置であって、前記半導体チップを搭載する前記ダイパッドの搭載面の表面積が、反対側の他の主面の表面積よりも大きく、前記ダイパッドの4つの側面に傾斜がそれぞれ形成されたことを特徴とする半導体装置。

【請求項3】 表面上に表面電極が形成された半導体チップと、前記半導体チップを搭載する四角形状のダイパッドと、前記ダイパッドの周縁を囲むように配置され、前記半導体チップの表面電極と接続部材を介して接続される複数の電極部と、前記複数の電極部、前記半導体チップ、前記ダイパッド、ならびに前記接続部材を封止する封止部とからなる半導体装置であって、前記半導体チップを搭載する前記ダイパッドの搭載面の表面積が、反対側の他の主面の表面積よりも大きく、前記ダイパッドの4つの側面に傾斜がそれぞれ形成され、かつ前記ダイパッドの他の主面に、前記封止部を密着させる少なくとも1つの密着穴が設けられたことを特徴とする半導体装置。

【請求項4】 搭載面の表面積が、反対側の他の主面の表面積よりも大きく、4つの側面に傾斜がそれぞれ形成された半導体チップを搭載するダイパッドと、前記ダイパッドの周縁部に配置され、前記半導体チップの表面電極に対応する複数の電極部とが形成されたリードフレームを準備する工程と、前記半導体チップと前記ダイパッドとを接合する工程と、

前記半導体チップの表面電極とこれに対応する前記電極部とを接続部材により接続する工程と、前記半導体チップ、前記ダイパッド、および前記接続部材を封止樹脂によって覆うとともに、半導体装置の実装面側に前記電極部を露出して樹脂モールドし、封止部を形成する工程と、前記電極部を前記リードフレームの枠部から分離し、外

10

部電極部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 半導体チップが搭載される搭載面の表面積が反対側の他の主面の表面積よりも大きく、4つの側面に傾斜がそれぞれ形成され、かつ前記搭載面と反対面の他の主面に、前記封止部を密着させる少なくとも1つの密着穴が設けられたダイパッドと、前記ダイパッドの周縁部に配置され、前記半導体チップの表面電極に対応する複数の電極部とが形成されたリードフレームを準備する工程と、

前記半導体チップと前記ダイパッドとを接合する工程と、前記半導体チップの表面電極とこれに対応する前記電極部とを接続部材により接続する工程と、前記半導体チップ、前記ダイパッド、ならびに前記接続部材を封止樹脂によって覆うとともに、半導体装置の実装面側に前記電極部を露出して樹脂モールドし、封止部を形成する工程と、

前記電極部を前記リードフレームの枠部から分離し、外部電極部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置における接続信頼性の向上技術に関し、特に、P-VQFN (Plastic Very fine Quad Flat Non-leaded package) 形半導体装置における充分なスタンドオフの確保に適用して有効な技術に関するものである。

【0002】

【従来の技術】 本発明者が検討したところによれば、表面実装形パッケージの1つとして、P-VQFNの半導体装置がある。P-VQFN形の半導体装置は、パッケージの4つの側面に複数の電極パッドをそれぞれ備えた構成となっている。

【0003】 この半導体装置においては、半導体チップを搭載するダイパッドが該半導体チップよりも小さく、これらダイパッドと半導体チップとがモールド樹脂によって封止されているものがある。

【0004】 なお、この種の半導体装置について詳しく述べてある例としては、特開平10-189830号公報があり、この文献には、QFN形半導体装置について記載されている。

【0005】

【発明が解決しようとする課題】 ところが、上記のような半導体装置では、次のような問題点があることが本発明者により見い出された。

【0006】 すなわち、ダイパッドが半導体チップよりも小さいために、該ダイパッドからはみ出した半導体チップの一部分はモールド樹脂によって直接封止されるこ

20

30

40

50

となるが、モールド樹脂とダイパッドとの熱膨張係数の違いなどから、モールド樹脂とダイパッドとが剥離してしまうことがある。

【0007】そして、モールド樹脂とダイパッドとの剥離が進行すると、その剥離はダイパッドの側面を伝わり、やがてパッケージクラックへと発展してしまい、半導体装置の信頼性を損なう恐れがある。

【0008】本発明の目的は、モールド樹脂とダイパッドとが剥離してもパッケージクラックを防止し、信頼性を大幅に向向上することのできる半導体装置を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明の半導体装置は、表面に表面電極が形成された半導体チップと、該半導体チップを搭載する四角形状のダイパッドと、該ダイパッドの周縁を囲むように配置され、半導体チップの表面電極と接続部材を介して接続される複数の電極部と、複数の電極部、半導体チップ、ダイパッド、ならびに接続部材を封止する封止部とからなり、半導体チップを搭載するダイパッドの搭載面の表面積が、反対側の他の主面の表面積よりも大きいものである。

【0012】また、本発明の半導体装置は、表面に表面電極が形成された半導体チップと、該半導体チップを搭載する四角形状のダイパッドと、該ダイパッドの周縁を囲むように配置され、半導体チップの表面電極と接続部材を介して接続される複数の電極部と、複数の電極部、半導体チップ、ダイパッド、ならびに接続部材を封止する封止部とからなり、半導体チップを搭載するダイパッドの搭載面の表面積が、反対側の他の主面の表面積よりも大きく、該ダイパッドの4つの側面に傾斜がそれぞれ形成されたものである。

【0013】さらに、本発明の半導体装置は、表面に表面電極が形成された半導体チップと、該半導体チップを搭載する四角形状のダイパッドと、該ダイパッドの周縁を囲むように配置され、半導体チップの表面電極と接続部材を介して接続される複数の電極部と、複数の電極部、半導体チップ、ダイパッド、ならびに接続部材を封止する封止部とからなり、半導体チップを搭載するダイパッドの搭載面の表面積が、反対側の他の主面の表面積よりも大きく、該ダイパッドの4つの側面に傾斜がそれぞれ形成され、かつダイパッドの他の主面に、封止部を密着させる少なくとも1つの密着穴を設けたものである。

【0014】また、本発明の半導体装置の製造方法は、

10 搭載面の表面積が、反対側の他の主面の表面積よりも大きく、4つの側面に傾斜がそれぞれ形成された半導体チップを搭載するダイパッドと、該ダイパッドの周辺部に配置され、半導体チップの表面電極に対応する複数の電極部とが形成されたリードフレームを準備する工程と、半導体チップとダイパッドとを接合する工程と、半導体チップの表面電極とこれに対応する電極部とを接続部材により接続する工程と、半導体チップ、ダイパッド、および接続部材を封止樹脂によって覆うとともに、半導体装置の実装面側に電極部を露出して樹脂モールドし、封止部を形成する工程と、電極部をリードフレームの枠部から分離し、外部電極部を形成する工程とを有するものである。

20 【0015】さらに、本発明の半導体装置の製造方法は、半導体チップが搭載される搭載面の表面積が反対側の他の主面の表面積よりも大きく、4つの側面に傾斜がそれぞれ形成され、かつ搭載面と反対面の他の主面に、封止部を密着させる少なくとも1つの密着穴が設けられたダイパッドと、該ダイパッドの周辺部に配置され、半導体チップの表面電極に対応する複数の電極部とが形成されたリードフレームを準備する工程と、半導体チップとダイパッドとを接合する工程と、半導体チップの表面電極とこれに対応する電極部とを接続部材により接続する工程と、半導体チップ、ダイパッド、ならびに接続部材を封止樹脂によって覆うとともに、半導体装置の実装面側に電極部を露出して樹脂モールドし、封止部を形成する工程と、電極部をリードフレームの枠部から分離し、外部電極部を形成する工程とを有するものである。

30 【0016】以上のことにより、半導体装置の封止部表面にいたるクラックを防止することができ、該半導体装置の信頼性を向上させることができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

40 【0018】図1は、本発明の実施の形態1による半導体装置の斜視図、図2は、図1の半導体装置における底面図、図3は、図1の半導体装置における断面図、図4～図8は、図1の半導体装置における製造工程の説明図、図9は、図1の半導体装置における製造工程のフローチャート、図10は、本発明者が検討した半導体装置の断面図である。

【0019】本実施の形態において、半導体装置1は、ノンリード表面実装形パッケージの1つであるP-VQFNからなる。半導体装置1は、図1～図3に示すように、中央部にダイパッド2が位置しており、このダイパッド2上に、銀ペースト接着材などの接着材3を介して半導体チップ4が接着固定されている。

50 【0020】ダイパッド2は、半導体チップ4が搭載される搭載面よりも、該搭載面の反対面、すなわち封止樹脂が密着する密着面が小さくなっている、該ダイパッド

における4辺の側面にそれぞれ傾斜がつくように形成されている。また、半導体チップ4における4辺の周辺部近傍には、複数のインナリード5が位置している。

【0021】これらインナリード5の先端部と半導体チップ4に形成された電極（表面電極）とが、金線などからなるボンディングワイヤ（接続部材）6によって電気的にそれぞれ接続されている。

【0022】さらに、半導体チップ4、インナリード5、ならびにボンディングワイヤ6は、熱硬化性の封止樹脂によって封止され、矩形状のパッケージ（封止部）7が形成されている。

【0023】このパッケージ7における4辺には、複数の外部電極8が形成されている。外部電極8は、パッケージ7における実装面から側面にかけて露出して形成されている。外部電極8の表面には、たとえば、電解めっきなどによるはんだめっきが施されている。

【0024】これら外部電極8は、半導体装置1の実装時に電子部品などを実装するプリント配線基板に形成された接続電極となるランドと重合し、それぞれ電気的に接続される。

【0025】次に、本実施の形態における半導体装置の製造方法について、図1～図3、図4～図8の製造工程の説明図、ならびに図9のフローチャートを用いて説明する。

【0026】まず、リードフレームを準備する（ステップS101）。このリードフレームは、たとえば、鉄系、あるいは銅系などからなる金属板をエッチング、あるいはプレス加工してパターンニングすることによって形成される。

【0027】リードフレームには、前述したダイパッド2、インナリード5、ならびに外部電極部となるアウタリード9が形成され、それらのパターンが数個以上連結された金属製のリボン構造となるものである。

【0028】また、ダイパッド2の側面には、前述したように半導体チップ4が搭載される搭載面から封止樹脂の密着面（搭載面の反対面）にかけて傾斜がつくよう、搭載面の表面積よりもその反対面の表面積が小さく形成されている。このダイパッド2における側面の傾斜は、たとえば、エッチング処理などによって形成されている。

【0029】そして、図4に示すように、ダイパッド2の搭載面に銀ペースト接着材などの接着材3を塗布し、図5に示すように、半導体チップ4を搭載して接着固定する（ステップS102）。

【0030】その後、図6に示すように、半導体チップ4の電極4aとリードフレームのインナリード5とをボンディングワイヤ6によって接合し、電気的に接続する（ステップS103）。

【0031】ワイヤボンディングされたリードフレームは、図7に示すように、モールド装置による半導体モー

ルド形成によって樹脂封止され、図8に示すように、パッケージ7が形成される（ステップS104）。

【0032】モールド装置は、リードフレームのアウタリード9を該リードフレームの厚さ方向に挟み込み、ダイパッド3を支持するリード近傍に設けられたモールド金型K1、K2のゲートからキャビティに封止樹脂Jを注入してパッケージ7を形成する。よって、パッケージ7の実装面にはアウタリード9が露出することになる。

【0033】その後、パッケージ7が形成されたリードフレームのアウタリード9に、たとえば、電解めっき法などによってはんだめっきを施し（ステップS105）、これらめっき処理が施されたアウタリード9は、パッケージ7の側面から段差なく平面状態になるように切断されて（ステップS106）、外部引き出し線となる外部電極8が形成され、図1～図3に示す半導体装置1が完成する（ステップS108）。

【0034】製品となった半導体装置1は、図8に示すように、実装基板であるプリント配線基板Pに形成されたランドと重合し、リフローはんだ付けなどによってそれぞれ電気的に接続され、プリント配線基板に実装される。

【0035】ここで、側面に傾斜が形成されたダイパッド2が用いられた半導体装置1におけるパッケージクラックの防止技術について説明する。

【0036】たとえば、半導体装置1が加熱（または冷却）された際には、熱膨張係数の違いなどからダイパッド2が、該ダイパッド2の平面方向に膨張（あるいは収縮）する。

【0037】また、パッケージ7は、熱膨張係数の違いなどからダイパッド2よりも膨張量（または収縮量）が少なく、そのために、ダイパッド2とパッケージ7との界面に応力が集中することになる。

【0038】このとき、ダイパッド2の側面には傾斜が形成されているので、この応力がダイパッド2の側面に形成された傾斜に沿って分散されることになり、パッケージ7の表面にいたるクラックが防止されることになる。

【0039】さらに、応力が傾斜に沿って分散されることによって、強い応力がかかった際でも、ダイパッド2の封止樹脂密着面に沿ってパッケージ2が剥離するだけであり、ダイパッド2からパッケージ7表面にいたるパッケージクラックを防止することができる。

【0040】一方、本発明者が検討した半導体装置30を図10に示す。この半導体装置30において、ダイパッド31、接着材32、半導体チップ33、インナリード34、ボンディングワイヤ35、パッケージ36、ならびに外部電極37などの構成は半導体装置1と同様であるが、ダイパッド31の側面に傾斜が形成されていない点が異なっている。すなわち、半導体チップ4の搭載面とその反対面との表面積が同じであり、側面が該ダイ

パッド31の平面方向に対して直角に形成されている。

【0041】この場合、ダイパッド31が、該ダイパッド31の平面方向に膨張（あるいは収縮）すると、ダイパッド31とパッケージ36の界面に応力が集中するので、ダイパッド31の側面からパッケージ36の実装面に向けてクラックが発生し、やがてはパッケージ36の表面までクラックCKが進行することになる。

【0042】それにより、本実施の形態によれば、4辺の側面にそれぞれ傾斜が形成されたダイパッド2によってパッケージ7のクラックを防止することができるので、半導体装置1の信頼性を向上することができる。

【0043】また、本実施の形態では、ダイパッド2における4辺の側面にそれぞれ傾斜を形成した形状としたが、たとえば、半導体装置1aのダイパッド2aは、図11に示すように、4辺の側面にそれぞれ傾斜が形成されたダイパッド2（図3）の封止樹脂密着面にディンプル加工などによって穴HPを設けるようにしてもよい。

【0044】それにより、ダイパッド2aにの封止樹脂密着面の表面積が増えるので、該ダイパッド2aとパッケージ7とをより強く密着させることができ、ダイパッド2の樹脂密着面とパッケージ7との剥離を防止することができる。

【0045】さらに、本実施の形態では、半導体チップの搭載面よりも封止樹脂密着面の表面積を小さくし、ダイパッドにおける4辺に側面に傾斜を形成した場合について記載したが、図12に示すように、半導体装置1bのダイパッド2bにおける4辺の側面にRをつけて円弧状にそれぞれ形成するようにしてもよい。

【0046】それによっても、パッケージ7のクラックを防止することができるので、半導体装置1の信頼性を向上することができる。

【0047】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0048】たとえば、前記実施の形態では、P-VQFN形の半導体装置について記載したが、QFP（Quad Flat Package）形の半導体装置に設けられたダイパッドの側面に傾斜を形成し、パッケージクラックを防止する構成としてもよい。

【0049】この場合、QFP形の半導体装置1cは、図13に示すように、中央部に位置したダイパッド2c上に、銀ペースト接着材などの接着材3を介して半導体チップ4が接着固定されており、該ダイパッド2cは、半導体チップ4よりも表面積が小さい、いわゆる小タブタイプとなっている。

【0050】半導体チップ4における4辺の周辺部近傍には、複数のインナリード5が位置し、これらインナリード5の先端部と半導体チップ4に形成された電極と

が、金線などからなるボンディングワイヤ6によって電気的にそれぞれ接続されている。

【0051】さらに、半導体チップ4、インナリード5、ならびにボンディングワイヤ6は、熱硬化性の封止樹脂によって封止され、矩形状のパッケージ7が形成されており、パッケージ7の4つの側面からガルウィング状の外部接続端子10が突出している。

【0052】この半導体装置1cにおいても、ダイパッド2cは、半導体チップ4が搭載される搭載面よりも該搭載面の反対面、すなわち封止樹脂密着面が小さく、該ダイパッドにおける4辺の側面にそれぞれ傾斜がつくよう形成されている。

【0053】これによって、ダイパッド2cとパッケージ7との間に応力がかからっても該ダイパッド2cの側面に形成された傾斜に沿って応力が分散されることになり、パッケージ7の表面にいたるクラックを防止することができる。

【0054】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0055】（1）本発明によれば、ダイパッドの側面に傾斜をそれぞれ形成することにより、応力の集中による封止部のパッケージクラックを防止することができる。

【0056】（2）また、本発明では、上記（1）により、半導体装置の信頼性を向上するとともに、製造歩留まりを向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による半導体装置の斜視図である。

【図2】図1の半導体装置における底面図である。

【図3】図1の半導体装置における断面図である。

【図4】図1の半導体装置における製造工程の説明図である。

【図5】図4に続く半導体装置の製造工程の説明図である。

【図6】図5に続く半導体装置の製造工程の説明図である。

【図7】図6に続く半導体装置の製造工程の説明図である。

【図8】図7に続く半導体装置の製造工程の説明図である。

【図9】図1の半導体装置における製造工程のフローチャートである。

【図10】本発明者が検討した半導体装置の断面図である。

【図11】本発明の他の実施の形態による半導体装置の一例を示す断面図である。

【図12】本発明の他の実施の形態による半導体装置の

他の例を示す断面図である。

【図13】本発明の他の実施の形態による半導体装置の一例を示す断面図である。

【符号の説明】

- 1 半導体装置
- 1a～1c 半導体装置
- 2 ダイパッド
- 2a～2c ダイパッド
- 3 接着材
- 4 半導体チップ
- 5 インナリード
- 6 ボンディングワイヤ (接続部材)
- 7 パッケージ (封止部)
- 8 外部電極

* 9 アウタリード

- 10 外部接続端子
- H.P. 穴
- J. 封止樹脂
- K1, K2 モールド金型
- 30 半導体装置
- 31 ダイパッド
- 32 接着材
- 33 半導体チップ
- 10 34 インナリード
- 35 ボンディングワイヤ
- 36 パッケージ
- 37 外部電極

*

【図1】

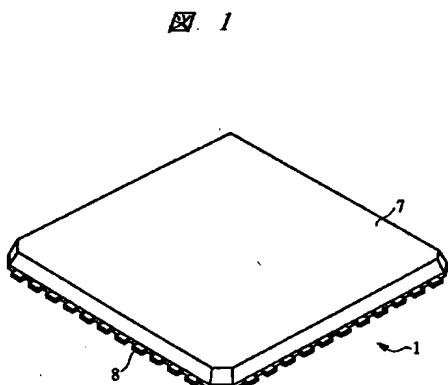


図1

【図2】

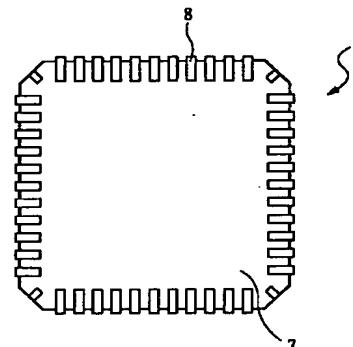


図2

【図3】

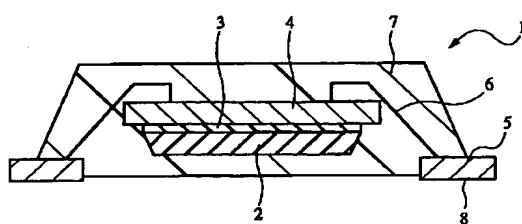


図3

【図4】

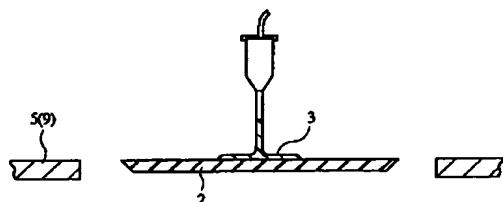


図4

1:半導体装置 6:ボンディングワイヤ(接続部材)
2:ダイパッド 7:パッケージ(封止部)
4:半導体チップ 8:外部電極

【図5】

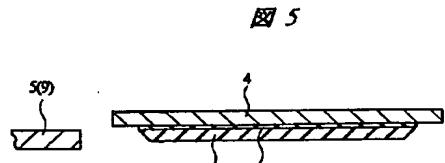


図5

【図6】

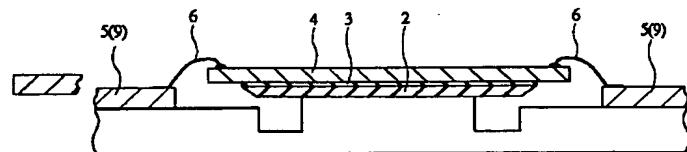
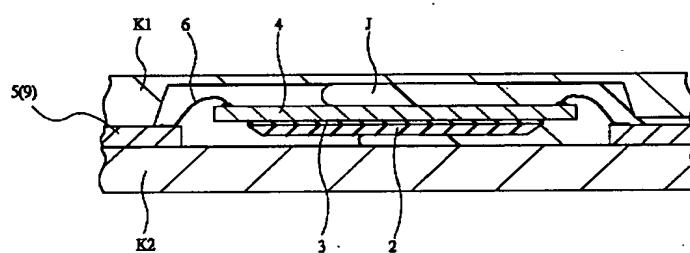


図6

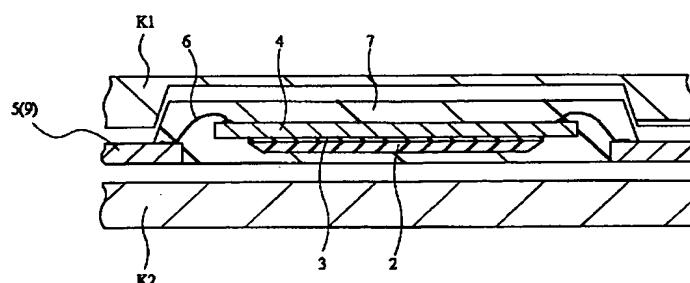
【図7】

図7



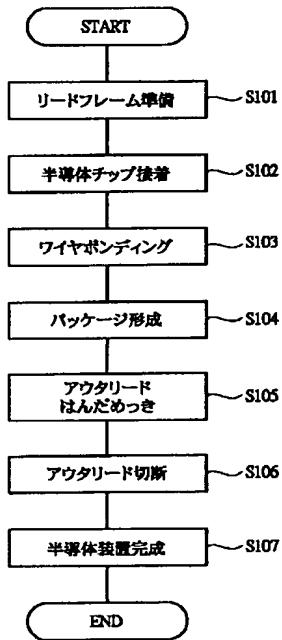
【図8】

図8



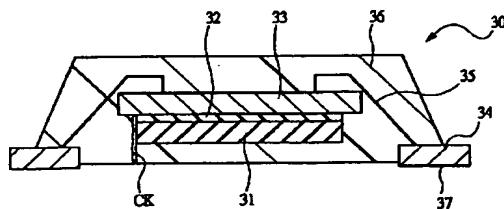
【図9】

図9



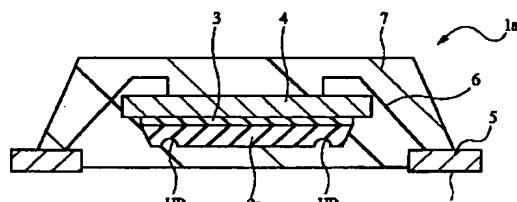
【図10】

図10



【図11】

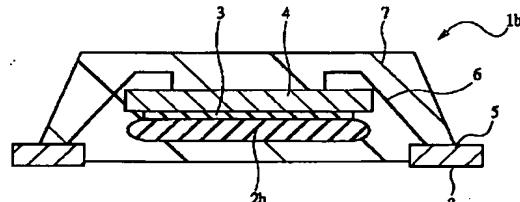
図11



1a: 半導体装置
2a: ダイパッド
HP: 六

【図12】

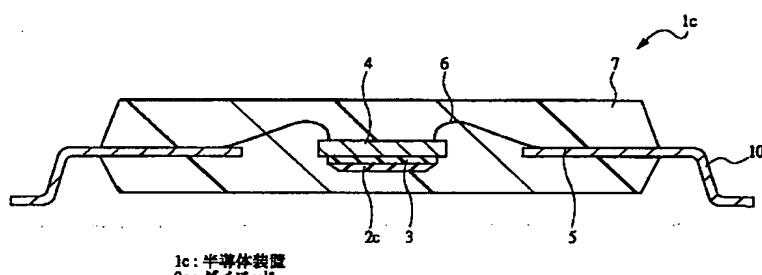
図12



1b: 半導体装置
2b: ダイパッド
HP: 六

【図13】

図13



1c: 半導体装置
2c: ダイパッド
HP: 六